

SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP11087649

Publication date: 1999-03-30

Inventor(s): TAKASHIMA KAZUMASA; NAKAMURA MASAYUKI; MIYAOKA SHUICHI;
MIYATAKE SHINICHI; KAJITANI KAZUHIKO

Applicant(s): HITACHI LTD;; HITACHI MICROCOMPUT SYST LTD

Requested
Patent: ☐ JP11087649

Application
Number: JP19970240054 19970904

Priority
Number(s):

IPC
Classification: H01L27/108; H01L21/8242; G11C11/409; H01L29/786

EC Classification:

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor storage device wherein, even at lower voltage, a sufficient signal quantity of bit line is assured without boost at a word line.

SOLUTION: This device comprises a memory cell array having a plurality of memory cells, etc., an X-decoder and a Y-decoder for selecting arbitrary memory cell; and an input/output control circuit for writing/reading of data for a selected memory cell, etc. Here, with a sense amplifier being BSG(boosted sense ground) circuit configuration, a memory cell is formed on an SOI substrate for lowering a threshold voltage of a transfer MOS transistor while sub-threshold current is made lower, so that even if an internal voltage VDD is lowered from 3.3V to 2.5V, a high side of a bit line BL (BLB) is VDL (2.1V) while a low side is VSG (0.4V). Thus a signal quantity of amplitude of about 1.7V which is equal to an internal voltage of 3.3V is secured as ΔVDL between the high side and the low side.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87649

(43) 公開日 平成11年(1999) 3月30日

(51) IntCl. ^a	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 G
	21/8242	G 1 1 C 11/34	3 5 3 E
G 1 1 C 11/409		H 0 1 L 27/10	6 7 1 C
H 0 1 L 29/786			29/78 6 1 3 B

審査請求 未請求 請求項の数5 OL (全 7 頁)

(21) 出願番号	特願平9-240054	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成9年(1997) 9月4日	(71) 出願人	000233468 日立超エル・エス・アイ・エンジニアリング株式会社 東京都国分寺市東恋ヶ窪三丁目1番地1
		(72) 発明者	▲高▼嶋 一雅 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	弁理士 筒井 大和

最終頁に続く

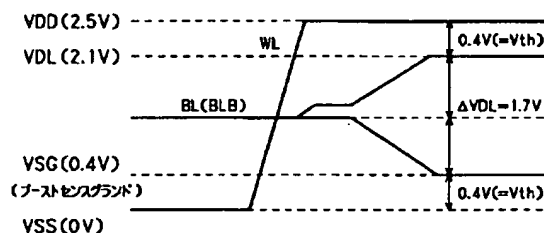
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 低電圧化に対しても、ワード線の昇圧なしでビット線の信号量を十分に確保することができる半導体記憶装置を提供する。

【解決手段】 複数のメモリセルなどからなるメモリセルアレイ、任意のメモリセルを選択するXデコーダおよびYデコーダ、選択されたメモリセルに対するデータの書き込みおよび読み出しの入出力制御回路などからなるDRAMであって、センスアンプをBSG回路構成とし、かつメモリセルをSOI基板上に形成してトランスマンモストランジスタのしきい電圧を下げ、かつサブスレッショルド電流を小さくすることで、内部電圧VDDを3.3Vから2.5Vまで下げた場合でも、ビット線BL(BLB)のHigh側はVDL(2.1V)、Low側はVSG(0.4V)となり、High側とLow側との間の ΔVDL として、3.3Vの内部電圧と同等の1.7V程度の振幅による信号量を確保することができる。

図4



【特許請求の範囲】

【請求項1】 複数のワード線と複数のビット線との交点に格子状に配置された複数のメモリセル、およびデータを増幅するセンスアンプからなるメモリセルアレイと、このメモリセルアレイから任意のメモリセルを選択するデコードと、このデコードにより選択されたメモリセルに対するデータの書き込みおよび読み出しのための入出力制御を司る入出力制御回路とからなり、前記ビット線の信号量を十分に確保するために、前記センスアンプをBSG回路構成とし、かつ前記メモリセルをSOI基板上に形成して構成されていることを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置であって、前記SOI基板の完全空乏化により基板効果を小さくして前記メモリセルのトランスファMOSTランジスタのしきい電圧を低下し、前記ビット線のHigh側の電圧降下を小さくするように構成されていることを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置であって、前記SOI基板によりテーリング係数を小さくしてサブスレッショルド電流を低減し、前記BSG回路構成による前記ビット線のLow側の電圧レベルを低くするように構成されていることを特徴とする半導体記憶装置。

【請求項4】 請求項2または3記載の半導体記憶装置であって、前記ビット線のHigh側とLow側との間の振幅をワード線の昇圧なしで十分に確保するように構成されていることを特徴とする半導体記憶装置。

【請求項5】 請求項1、2、3または4記載の半導体記憶装置であって、前記半導体記憶装置は、内部電圧が2.5V以下の低電圧DRAMであることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置技術に関し、特にBSG (Boosted Sense Ground) 回路技術とSOI (Silicon On Insulator) デバイス技術との組み合わせによる低電圧化に好適なDRAM、DRAM系列全般の半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】 たとえば、本発明者が検討した技術として、半導体記憶装置の一例としてのDRAMは、複数のワード線と複数のビット線との交点に格子状に配置された複数のメモリセルなどからなるメモリセルアレイと、このメモリセルアレイから任意のメモリセルを選択するデコードと、このデコードにより選択されたメモリセルに対するデータの書き込みおよび読み出しのための入出力制御を司る入出力制御回路などから構成されている。

【0003】 このような構成によるDRAMにおいて

は、トランジスタの微細化とともにトランジスタ耐圧が低下するので、低電圧動作は必要不可欠になってきている。この低電圧動作のためには、トランジスタのしきい電圧を下げなければならないが、下げすぎるとトランジスタを十分にカットオフできなくなり、スレッショルド電流による貫通電流が流れるようになる。よって、低電圧動作には、トランジスタのしきい電圧とスレッショルド電流が設計上の重要な要素となっている。

【0004】 なお、このようなDRAMの低電圧動作に関する技術としては、たとえば1994年11月5日、株式会社培風館発行の「アドバンスト エレクトロニクスI-9 超LSIメモリ」P351~P368などの文献に記載される低電圧回路技術などが挙げられる。

【0005】

【発明が解決しようとする課題】 ところで、前記のようなDRAMの低電圧動作において、本発明者は、低電圧化に伴う課題としてトランジスタのしきい電圧とスレッショルド電流に着目し、たとえば内部電圧を3.3Vから2.5Vに低電圧化した場合のデータの読み出し動作について検討した。以下において、本発明者が検討した内容を図5を用いて説明する。

【0006】 図5は、シリコン基板上にメモリセルを構成するトランスファMOSTランジスタとキャパシタとを形成したDRAMにおいて、(a) は内部電圧VDDが3.3Vの場合の読み出し波形を示し、ワード線WLがVSSからVDDまで立ち上がり、これに伴ってビット線BL (BLB) はVDL (2.5V) とVSG (0.8V) 間の振幅となる。これに対して、(b) のように内部電圧VDDを2.5Vにした場合には、ビット線BL (BLB) はVDL (1.7V) とVSG (0.8V) 間の振幅となる。なお、ビット線BLBの“B”はBLの反転信号を示し、以下の信号線においても同様である。

【0007】 すなわち、2つの波形を比較すると、内部電圧VDDが3.3Vの場合は ΔVDL として1.7V程度 ($3.3 - 0.8 \times 2$) の振幅による信号量が確保できるのに対して、内部電圧を2.5Vまで下げた場合には、 ΔVDL は0.9V程度 ($2.5 - 0.8 \times 2$) しか確保できない。従って、3.3V動作のDRAMのままで内部電圧が2.5V以下になると、ワード線WLの昇圧なしではビット線BL (BLB) の信号量が確保できないという問題が生じる。

【0008】 そこで、本発明の目的は、BSG回路技術とSOIデバイス技術とを組み合わせ、これらの利点を相互に活用して、低電圧化に対してもワード線の昇圧なしでビット線の信号量を十分に確保することができる半導体記憶装置を提供することにある。

【0009】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】すなわち、本発明による半導体記憶装置は、複数のメモリセルおよびセンスアンプからなるメモリセルアレイ、任意のメモリセルを選択するデコーダ、選択されたメモリセルに対するデータの書き込みおよび読み出しのための入出力制御を司る入出力制御回路などからなり、センスアンプをセンスグラウンドの電圧レベルを昇圧したBSG回路構成とし、かつメモリセルをシリコン基板の絶縁膜上にシリコン薄膜を形成したSOI基板上に形成して構成するものである。

【0012】このような構成による半導体記憶装置は、SOI基板の完全空乏化により基板効果を小さくしてメモリセルのトランスファMOSTランジスタのしきい電圧を低下し、ビット線のHigh側の電圧降下を小さくし、またSOI基板によりテーリング係数を小さくしてサブスレッショルド電流を低減し、BSG回路構成によるビット線のLow側の電圧レベルを低くして、ビット線のHigh側とLow側との間の振幅をワード線の昇圧なしで十分に確保し、特に内部電圧が2.5V以下の低電圧DRAMなどに適用するようにしたものである。

【0013】よって、前記半導体記憶装置によれば、SOI基板では完全空乏化が起こり、基板効果を小さくできるため、トランスファMOSTランジスタのしきい電圧を下げるができる。これにより、High側の書き込み時の電圧降下を小さくすることができる。

【0014】さらに、SOI基板ではテーリング係数が小さくなり、サブスレッショルド電流が小さくなるため、BSG回路構成によるブーストセンスグラウンドの電圧レベルを低くすることができる。

【0015】この結果、電源電圧を下げてビット線の振幅を十分に確保することができ、ワード線の昇圧が不要になる。また、ビット線の振幅を大きくできるため、ディスタープ不良に対して強くなる。よって、製品として、電源電圧の低下が可能となり、かつディスタープ耐性を向上させることができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。

【0017】図1は本発明の一実施の形態である半導体記憶装置を示す概略構成図、図2は本実施の形態の半導体記憶装置において、メモリセルアレイの要部を示す回路図、図3はメモリセルアレイのデバイス構造を示す説明図、図4はデータの読み出し動作を示す波形図である。

【0018】まず、図1により本実施の形態の半導体記憶装置の概略構成を説明する。

【0019】本実施の形態の半導体記憶装置は、たとえばダイナミック形のメモリセルを用いたDRAMとさ

れ、複数のメモリセルおよびセンスアンプなどからなるメモリセルアレイ1と、このメモリセルアレイ1から任意のメモリセルを選択するXデコーダ2およびYデコーダ3と、この選択されたXアドレスのワード線を活性化するワードドライバ4と、選択されたメモリセルに対するデータの書き込みおよび読み出しのための入出力制御を司る入出力制御回路5と、外部とのインターフェースを司る入出力インターフェース回路6とから構成されている。

【0020】メモリセルアレイ1は、複数のワード線7と複数のビット線8との交点に格子状に配置された複数のメモリセル9と、このメモリセル9から読み出したデータを増幅するセンスアンプ10（図2に図示）などからなり、これらのメモリセル9には2進情報の1ビットのデータがそれぞれ記憶され、たとえば64Mビット、256Mビットなどの記憶容量によるDRAMを構成することができる。

【0021】Xデコーダ2は、Xアドレス信号に基づいてメモリセルアレイ1の行方向のワード線7を指定し、一方、Yデコーダ3は、Yアドレス信号に基づいてメモリセルアレイ1の列方向のビット線8を指定し、このXデコーダ2およびYデコーダ3によりワード線7とビット線8との交点にあるメモリセル9が選択される。

【0022】ワードドライバ4は、Xデコーダ2により指定されたメモリセルアレイ1のワード線7を活性化し、選択されたメモリセル9に対するデータの書き込みおよび読み出しのためのデータの入出力が行われる。

【0023】入出力制御回路5は、Xデコーダ2およびYデコーダ3により選択されたメモリセル9に対して、入力データを入力信号としてデータを書き込み、一方、読み出した出力データを出力信号として出力し、この入出力制御回路5により書き込みおよび読み出しのための制御が行われる。

【0024】入出力インターフェース回路6は、外部からアドレス信号および制御信号を入力として、制御信号に基づいて、Xアドレス信号をXデコーダ2、Yアドレス信号を入出力制御回路5を介してYデコーダ3にそれぞれ出力するとともに、入出力データを外部と入出力制御回路5との間で入出力するものである。

【0025】続いて、図2によりメモリセルアレイ1を構成するメモリセル9およびセンスアンプ10の回路構成を説明する。

【0026】このメモリセルアレイ1においては、隣接するメモリセル9でセンスアンプ10を共有するシェアドセンスアンプ方式を採用し、かつ1本の列選択信号線YSに対して2対のセンスアンプ10が選択可能に接続されて構成されている。増幅を行う際に、非選択側のメモリセル9ではシェアドセンスアンプ分離信号線SHL、SHRによりビット線BL、BLB（8）をセンスアンプ10から切り離すとともに、選択側のメモリセル

9ではビット線BL, BLBをセンスアンプ10に接続して増幅動作が行われる。

【0027】メモリセル9は、それぞれ1個のトランスファMOSTランジスタQと1個のキャパシタCとからなる1トランジスタセル構成となっており、このトランスファMOSTランジスタQのゲートはワード線WL(7)に接続され、ドレインはビット線BL, BLBに接続され、ソースはキャパシタCを介して接地されている。なお、このメモリセル9は、1トランジスタセル構成に限られるものではない。

【0028】センスアンプ10は、それぞれNMOSTランジスタQ1, Q2からなる第1の分離回路と、PMOSTランジスタQ3, Q4およびNMOSTランジスタQ5, Q6からなるCMOS増幅回路と、NMOSTランジスタQ7~Q9からなるプリチャージ回路と、NMOSTランジスタQ10, Q11からなる列選択回路と、NMOSTランジスタQ12, Q13からなる第2の分離回路とから構成され、一対のビット線BL, BLB間に接続されている。

【0029】第1、第2の分離回路は、それぞれシャアドセンスアンプ分離信号線SHL, SHRによりNMOSTランジスタQ1, Q2, Q12, Q13がゲート制御され、センスアンプ10をメモリセル9の一方に接続する。CMOS増幅回路にはHigh側、Low側のセンスアンプ駆動線PCS, NCSが接続されている。プリチャージ回路は、ビット線プリチャージ信号線PCB, PCHBによりゲート制御され、ビット線プリチャージ電圧VMPを供給する。列選択回路は列選択信号線YSによりゲート制御され、入出力線IOM*T, IOM*Bを介してデータを読み出す。

【0030】続いて、図3によりメモリセルアレイ1のデバイス構造を説明する。図3はメモリセル9の4個分を表しており、丸印を付した部分がワード線WLとビット線BL(BLB)との交点に接続される1個のメモリセル9を示す。

【0031】このメモリセルアレイ1のそれぞれのメモリセル9は、1個のトランスファMOSTランジスタQと1個のキャパシタCとからなり、シリコン基板11の上にシリコン酸化膜などの絶縁膜12を形成し、さらにこの絶縁膜12の上に単結晶シリコンなどのシリコン薄膜13を形成したSOI基板上に形成される。

【0032】すなわち、SOI基板上に、ソースおよびドレインの拡散層を形成し、さらにゲートの多結晶シリコンなどを形成してトランスファMOSTランジスタQを構成し、このトランスファMOSTランジスタQのゲート上にワード線WLのアルミニウム配線などを形成し、ドレイン上にビット線BL(BLB)のアルミニウム配線などを形成し、ソース上に多結晶シリコン、シリコン酸化膜などを挟んで多結晶シリコンなどを形成してキャパシタCを構成することができる。

【0033】次に、本実施の形態の作用について、始めに図1によりDRAMの基本的な動作の概要を簡単に説明する。

【0034】このDRAMの動作は、RAS (Row Address Strobe)、CAS (Column Address Strobe)の制御信号により、チップ外部からのアドレス信号から、Xアドレス信号またはYアドレス信号を取り込み、これらのアドレスからXデコード2、Yデコード3により、それぞれXアドレス、Yアドレスを選択する。この選択されたXアドレスのワード線WLを、ワードドライバ4により活性化する。

【0035】そして、たとえば、OE (Output Enable)の読み出し制御信号により読み出しサイクルとなる時、選択されたYアドレスのビット線BL(BLB)からメモリセル9のデータを入出力線へ読み出し、入出力インターフェース回路6内のデータ出力回路を経てチップ外部へデータが読み出される。

【0036】また、WE (Write Enable)の書き込み制御信号により書き込みサイクルとなると、チップ外部からのデータが入出力インターフェース回路6内のデータ入力回路から入出力線を経て、選択されたアドレスのメモリセル9へ書き込まれる。

【0037】次に、図4によりデータの読み出し動作を説明する。この読み出し動作は、前記のようにSOI基板上にメモリセルアレイ1を形成したデバイス技術と併用して、センスグラントの電圧レベルを昇圧したセンスアンプ10のBSG回路技術とを組み合わせた構成において行われる。

【0038】すなわち、メモリセル9からデータを読み出す場合には、選択されたXアドレスのワード線WLを活性化した後、選択されたYアドレスのビット線BL(BLB)を所定の振幅にして入出力線にデータを読み出すことができる。この際に、従来技術においては前記図5のように、内部電圧を3.3Vから2.5Vまで下げた場合に、 ΔVDL は0.9V程度しか確保できず、ワード線WLの昇圧が必要となる。

【0039】これに対して、本実施の形態においては、SOI基板で完全空乏化が起こり、基板効果を小さくできるため、メモリセル9のトランスファMOSTランジスタQのしきい電圧 V_{th} が0.8Vから0.4Vに下がることにより、ビット線BL(BLB)のHigh側の電圧レベルのドロップが小さくなる。また、SOI基板ではテリング係数が小さくなり、サブスレッショルド電流が小さくなるため、VSGレベルが0.8Vから0.4Vに低くなる。

【0040】よって、本実施の形態においては、内部電圧VDDを3.3Vから2.5Vまで下げた場合でも、図4のように ΔVDL を大きくとることができる。すなわち、ワード線WLがVSS(0V)からVDD(2.5V)まで立ち上がり、これに伴ってビット線BL(BLB)

B)のHigh側はVDL(2.1V)、Low側はVSG(0.4V)となり、High側とLow側との間の Δ VDLとして、従来技術の3.3Vの内部電圧と同等の1.7V程度($2.5-0.4 \times 2$)の振幅による信号量を確保することができる。

【0041】従って、本実施の形態によれば、SOIデバイス技術とBSG回路技術とを組み合わせることで、トランスマMOSTランジスタQのしきい電圧を下げることができるので、High側の書き込み時の電圧降下が小さくなり、かつサブスレッショルド電流を小さくしてブーストセンスグランドの電圧レベルを低くすることができるので、電源電圧を下げてビット線BL(BLB)の振幅を十分に確保することができ、ワード線WLの昇圧が不要になる。また、ビット線BL(BLB)の振幅を大きくできるため、ディスタープ不良に対して強くなる。

【0042】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0043】たとえば、前記実施の形態においては、ダイナミック形のメモリセルを用いたDRAMに適用した場合について説明したが、これに限定されるものではなく、シンクロナスDRAM、ランバスDRAMなどのDRAM系列全般についても広く適用可能である。

【0044】また、メモリセルアレイのメモリセルは、1トランジスタセル構成に限らず、2トランジスタセルなどの他の構成についても適用可能であることはいうまでもない。

【0045】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0046】(1).センスアンプをBSG回路構成とし、かつメモリセルをSOI基板上に形成して構成することで、SOI基板の完全空乏化により基板効果を小さくし、メモリセルのトランスマMOSTランジスタのしきい電圧を低下することができるので、ビット線のHigh側の電圧降下を小さくすることが可能となる。

【0047】(2).センスアンプをBSG回路構成とし、かつメモリセルをSOI基板上に形成して構成することで、SOI基板によりテーリング係数を小さくし、サブスレッショルド電流を低減することができるので、BSG回路構成によるビット線のLow側の電圧レベルを低くすることが可能となる。

【0048】(3).前記(1),(2)により、電源電圧を下げてビット線のHigh側とLow側との間の振幅を十分に確保することができるので、ワード線の昇圧を不要

とすることが可能となる。

【0049】(4).前記(1),(2)により、電源電圧を下げてビット線のHigh側とLow側との間の振幅を大きくすることができるので、ディスタープ不良に対して強くすることが可能となる。

【0050】(5).電源電圧の低電圧化に対してもワード線の昇圧なしでビット線の信号量を十分に確保でき、かつディスタープ耐性を向上させることができる低電圧DRAMなどに好適な半導体記憶装置を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体記憶装置を示す概略構成図である。

【図2】本発明の一実施の形態の半導体記憶装置において、メモリセルアレイの要部を示す回路図である。

【図3】本発明の一実施の形態の半導体記憶装置において、メモリセルアレイのデバイス構造を示す説明図である。

【図4】本発明の一実施の形態の半導体記憶装置において、データの読み出し動作を示す波形図である。

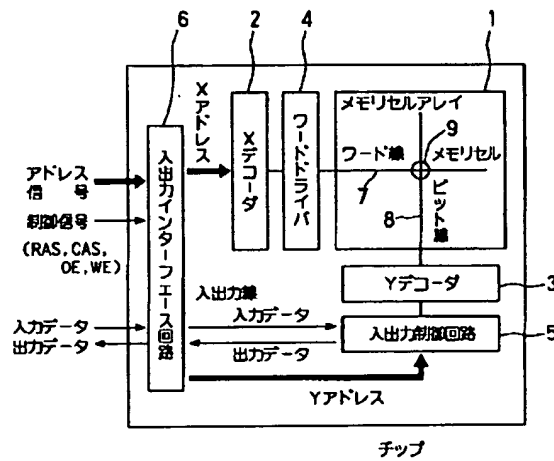
【図5】(a),(b)は本発明の前提となる半導体記憶装置において、データの読み出し動作を示す波形図である。

【符号の説明】

- 1 メモリセルアレイ
- 2 Xデコーダ
- 3 Yデコーダ
- 4 ワードドライバ
- 5 入出力制御回路
- 6 入出力インターフェース回路
- 7 ワード線
- 8 ビット線
- 9 メモリセル
- 10 センスアンプ
- 11 シリコン基板
- 12 絶縁膜
- 13 シリコン薄膜
- Q トランスマMOSTランジスタ
- C キャパシタ
- Q1, Q2, Q5~Q13 NMOSTランジスタ
- Q3, Q4 PMOSTランジスタ
- WL ワード線
- BL, BLB ビット線
- YS 列選択信号線
- SHL, SHR シェアドセンスアンプ分離信号線
- PCS, NCS センスアンプ駆動線
- PCB, PCHB ビット線プリチャージ信号線
- VMP ビット線プリチャージ電圧
- IOM*T, IOM*B 入出力線

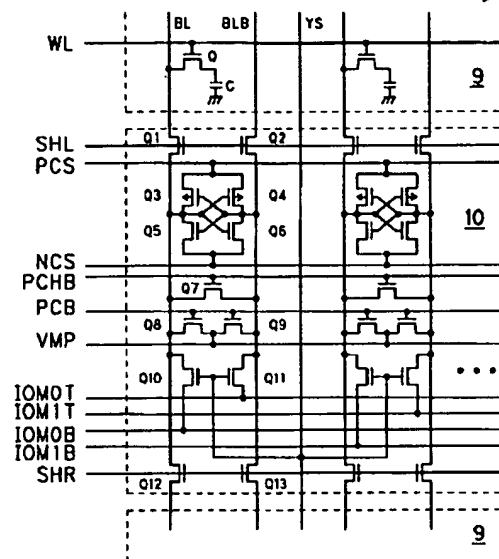
【図1】

図1



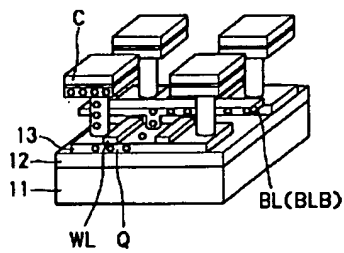
【図2】

図2



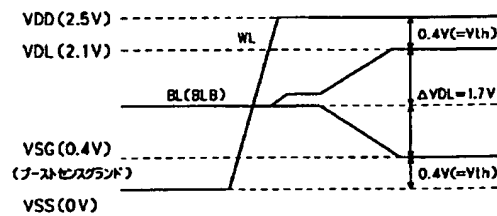
【図3】

図3



【図4】

図4



5

Figure 10 is a waveform diagram showing the relationship between the word line (WL) and bit line (BL) signals. The vertical axis represents voltage levels: VDD (3.3V), VDL (2.5V), VSG (0.8V) (labeled as 'ブーストヒスグラウンド'), and VSS (0V). The horizontal axis represents time. The WL signal transitions from 0V to VDD (3.3V). The BL signal transitions from 0V to VDL (2.5V) and then back to 0V. The voltage difference between VDD and VDL is 0.8V (=Vth). The voltage difference between VDL and VSS is 0.8V (=Vth). The voltage difference between VDL and VSS is labeled as $\Delta V_{DL} = 1.7V$.

The waveform diagram shows two signals over time:

- VDL (1.7V):** The wordline voltage. It starts at 0V, rises sharply to 1.7V, remains constant for a period, and then falls back to 0V.
- BL(BLB):** The bitline voltage. It starts at 0V, rises to a level labeled $\Delta V_{DL} = 0.9V$, remains constant for a period, and then falls back to 0V.

Key voltage levels are indicated on the left:

- VDD (2.5V)
- VDL (1.7V)
- VSG (0.8V) (フォースヒスグラウンド)
- VSS (0V)

Annotations on the right side indicate the magnitude of the voltage swings:

- A vertical double-headed arrow from VDL to VSG indicates a swing of $0.8V (= V_{th})$.
- A horizontal double-headed arrow between the initial and final BL levels indicates a swing of $\Delta V_{DL} = 0.9V$.
- A vertical double-headed arrow from VSS to the final BL level indicates a swing of $0.8V (= V_{th})$.

(72)発明者 中村 正行
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 宮岡 修一
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 宮武 伸一
東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(72)発明者 梶谷 一彦
東京都青梅市今井23番地 株式会社日立製作所デバイス開発センタ内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.